

## KOREAN PATENT ABSTRACTS (KR)

### Laid-Open Patent Publication (A)

(51) IPC Code: H03K 19/00

(43) Publication Date: 31 July 1997

(11) Publication No.: 1997-0055483

(22) Application Date: 26 December 1995

(21) Application No.: 1995-0057017

(71) Applicant: Samsung Electronics Co., Ltd.

(54) Title of the Invention:

#### RS Latch Circuit

#### Abstract:

An RS latch circuit with a minimum of transistors is provided. The RS latch circuit includes a P-channel MOS transistor having a source to which power is supplied and a gate to which a set input is applied; a NAND gate that receives an output of a drain of the P-channel MOS transistor and a reset input, and outputs a state; and an inverter that has an output terminal connected to the P-channel MOS transistor, receives an output of an output terminal of the NAND gate, and outputs another state. Accordingly, it is possible to reduce the area of a semiconductor chip by reducing the number of transistors of the RS latch circuit from eight to seven.

특1997-0055433

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H03K 19/00

(11) 공개번호 특1997-0055433  
(43) 공개일자 1997년07월31일

(21) 출원번호 특1995-0057017  
(22) 출원일자 1995년12월26일  
(71) 출원인 삼성전자 주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 김원경  
경기도 수원시 팔달구 원천동 30-76

청구범위 : 823

(54) RS 래치 회로

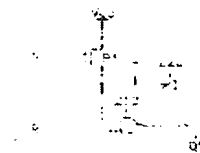
요약

본 발명은 RS 래치 회로에 관한 것으로서, 특히 트랜지스터의 갯수를 감소시킨 RS 래치 회로에 관한 것이다.

본 발명의 목적을 위하여 전원이 소스에 인가되고 게이트에 세트 입력이 인가되는 P채널 MOS 트랜지스터 수단, P채널 MOS 트랜지스터의 드레인과 리세트를 입력으로 하고 한개의 상태를 출력하는 부정 논리곱 수단, 부정 논리곱 게이트의 출력 단자를 입력으로 하고 출력 단자를 P채널 MOS 트랜지스터의 드레인에 연결하고 또 하나의 상태를 출력하는 인버터 수단을 포함하는 것을 특징으로 한다.

상술한 바와 같이 본 발명에 의하면, 종래의 RS 래치 회로를 구성하는 트랜지스터 갯수를 3개에서 7개로 줄여 반도체 칩제조시 면적을 줄일 수 있다.

제 2 도



본 발명

제2

본 발명

[발명의 명칭]

RS 래치 회로

[도면의 간단한 설명]

제2도는 본 발명에 따라서 트랜지스터 갯수가 감소된 RS 래치 회로를 도시한 것이다.

제3도는 제2도의 부정 논리곱(NAND)의 일반적인 트랜지스터 구성도이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

청구범위 : 823

청구항 1. 입력인 리세트 및 세트에 따라 두개의 상태가 출력되는 RS 래치 회로에 있어서, 전원이 소스에 인가되고 게이트에 상기 세트 입력이 인가되는 P채널 MOS 트랜지스터 수단; 상기 P채널 MOS 트랜지스터의 드레인과 상기 리세트를 입력으로 하고 한개의 상태를 출력하는 부정 논리곱 수단; 상기 부정 논리곱 게이트의 출력 단자를 입력으로 하고 출력 단자를 상기 P채널 MOS 트랜지스터의 드레인에 연결하고 또 하나의 상태를 출력하는 인버터 수단을 포함하는 것을 특징으로 하는 RS 래치 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

FIG 2

FIG 2

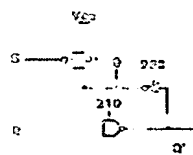


FIG 3

